

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **11-354761**

(43)Date of publication of application : **24.12.1999**

(51)Int.Cl.

H01L 27/12

H01L 21/02

(21)Application number : **10-161141**

(71)Applicant : **SUMITOMO METAL IND LTD**

(22)Date of filing : **09.06.1998**

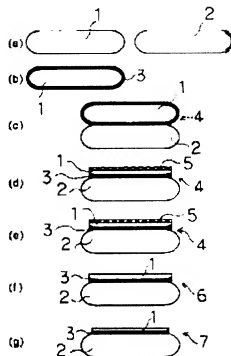
(72)Inventor : **TOMITA SHINICHI**

(54) SOI SUBSTRATE AND ITS PRODUCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an SOI substrate having an SOI layer in which Grown-in defect and metal contamination are reduced and a production method.

SOLUTION: The method for producing an SOI substrate by bonding a first semiconductor wafer mirror polished at least on the major surface and a second semiconductor wafer 2 comprises a step for forming an oxide film on the major surface of at least one of the first and second semiconductor wafers, a step for making thin the first semiconductor wafer 1 by surface grinding the rear surface after major surfaces of the first and second semiconductor wafers are bonded, a step performing heat-treatment after surface grinding, and a step for making thin the heat-treated semiconductor wafer. An SOI substrate 7 has an SOI layer where micro cavity or an oxide is not present.



(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 27/12
21/02H 0 1 L 27/12
21/02B
B

審査請求 未請求 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平10-161141

(22) 出願日 平成10年(1998)6月9日

(71) 出願人 000002118

住友金属工業株式会社

大阪府大阪市中央区北浜4丁目5番33号

(72) 発明者 富田 真一

佐賀県杵臼郡江北町大字上小田2201番地

住友シテックス株式会社内

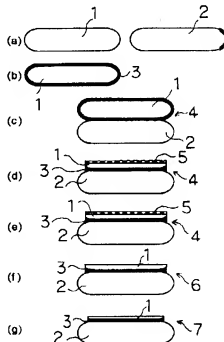
(74) 代理人 弁理士 森 正澄

(54) 【発明の名称】 S O I 基板及びその製造方法

(57) 【要約】

【課題】 S O I 層内のGrown-in欠陥及び金属汚染を低減した S O I 基板及びその製造方法を提供すること。

【解決手段】 少なくとも主面が鏡面研磨された第1の半導体ウエーハ1と第2の半導体ウエーハ2を接着して形成される S O I 基板の製造方法において、前記第1の半導体ウエーハ1と第2の半導体ウエーハ2のうち、少なくとも一方の半導体ウエーハの主面となる面に酸化膜を形成する工程と、前記第1及び第2の半導体ウエーハの主面同士を接合した後、前記第1の半導体ウエーハを裏面側より、平面研磨を行って薄膜化する工程と、前記平面研磨後に、熱処理を行う工程と、その後、更に薄膜化する工程とを備えた製造方法、及び、S O I 層が、微小空洞の不存在層又は酸化物の不存在層である構成の S O I 基板7である。



【特許請求の範囲】

【請求項1】 少なくとも主面が鏡面研磨された第1の半導体ウエハと第2の半導体ウエハを接着して形成されるSOI基板の製造方法において、

前記第1の半導体ウエハと第2の半導体ウエハのうち、少なくとも一方の半導体ウエハの主面となる面に誘電体層を形成する工程と、

前記第1及び第2の半導体ウエハの主面同士を接着した後、前記第1の半導体ウエハを裏面側より、平面研削を行って薄膜化する工程と、

前記平面研削後に、熱処理を行う工程と、

その後更に薄膜化する工程と、を備えたことを特徴とするSOI基板の製造方法。

【請求項2】 前記平面研削後の熱処理工程は、100℃以上1380℃以下の温度で行うことを特徴とする前記請求項1記載のSOI基板の製造方法。

【請求項3】 前記平面研削前に熱処理を行う工程を備えたことを特徴とする前記請求項1記載のSOI基板の製造方法。

【請求項4】 少なくとも主面が鏡面研磨された第1の半導体ウエハと第2の半導体ウエハが接着して形成されるSOI基板において、

前記第1の半導体ウエハと第2の半導体ウエハが接着されて形成されたSOI層が、微小空洞の存在層又は酸化層の存在層であることを特徴とするSOI基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、第1の半導体ウエハと第2の半導体ウエハの間に酸化膜を介在させて貼り合わせるSOI基板及びその製造方法に関する。

【0002】

【従来の技術】従来において、単結晶シリコンからなる第1の半導体ウエハと第2の半導体ウエハ（以下、ウエハという）を積層し、前記第1のウエハと第2のウエハを接着して形成するSOI（Silicon on Insulator）半導体基板が知られている。

【0003】このようなSOI基板の製造方法としては、まず、少なくとも主面が鏡面研磨された第1の半導体ウエハ及び第2の半導体ウエハのうち少なくとも一方に誘電体層となる酸化膜（ SiO_2 ）を形成し、前記2枚の半導体ウエハを密着させて熱処理を施し、接着ウエハを形成する。その後、ウエハの鏡面加工時に発生したダレによって生じる接着ウエハ周辺の未接着部分を研削及びエッチングにより除去し、デバイス形成層となる層を所望の厚みに研削した後、仕上げとして鏡面研磨を行い、SOI基板としている。

【0004】すなわち、従来の製造方法による貼り合わせ半導体ウエハは、例えば、図2（a）～図2（i）に示すような順序で形成されている。

【0005】図2に示すように、まず、第1の半導体ウエハ11及び第2の半導体ウエハ12のうち（図2（a））、第1の半導体ウエハ11の表面に誘電体層となる酸化膜13を形成する（図2（b））。その後、第1の半導体ウエハ11及び第2の半導体ウエハ12双方を接着する接着表面の洗浄を行う。そして、前記第1及び第2の半導体ウエハを室温で接着し接着ウエハ14を形成する（図2（c））。次に、この接着ウエハ14に熱処理（1100℃）を行い、接着も強固にする（図2（d））。

【0006】前記第1及び第2の半導体ウエハは、少なくとも主面が鏡面研磨されている半導体ウエハを用いるが、この研磨時にウエハ周辺にはダレが発生しているため、前記第1及び第2の半導体ウエハの双方を接着した接着ウエハ14を形成すると、このダレによって未接着部Aが生じることとなる。前記第1及び第2の半導体ウエハを接着した接着ウエハの洗浄又は研磨時に、前記未接着部分の一部が剥がれて飛散し、発塵源となるため、ウエハ表面がバークルで汚染されたり、その一部が表面に付着して、その後の加工時に表面が傷つけられる場合がある。

【0007】このため、通常は、前記接着ウエハ14の第1の半導体ウエハ11の未接着部分を周辺から3mm程度の幅で研削し（図2（e））、その後、エッチングによって除去する（図2（f））。

【0008】そして、接着ウエハ14の第1のウエハ11を裏面から研削し（図2（g））、SOI層が所望の厚みとなるように研磨を行う。この研磨によって、活性層の厚さが2μm以上であって、均一性が±1μm程度のSOI基板14が形成される（図2（h））。

【0009】その後、例えば、月刊Semiconductor World 1994.4号に記載されるようなPAC加工（Plasma-Assisted Chemical Etching）を行った後、加工表面に残るエッチング残渣の除去、又は、表面粗さを低減するために10nm程度の厚さでタッチポリッシュ等を行い、SOI層の厚さが0.1μm程度の超薄膜SOI基板15の形成が可能となる（図2（i））。

【0010】前記従来の製造方法で形成された超薄膜SOI基板15のSOI層は、図3に示すような評価方法によって、結晶欠陥の評価が行われる。

【0011】すなわち、図3（1）は、従来の製造方法で形成された超薄膜SOI基板15を示す。また、2は、結晶欠陥である。これを希釈選択エッチング（例えば、体積比5wt% $\text{K}_2\text{Cr}_2\text{O}_7$: 48wt% H_2F : H_2O = 1 : 2 : 5のエッチング液）で結晶欠陥を貫通（図3（2）参照）させる。この希釈選択エッチングによって、前記結晶欠陥26が貫通ビット27となる。なお、25は酸化膜、23は支持層となる第2の半導体ウエハ、また、22は、SOI層を形成する第1の半導体ウエハである。その後、25wt%の H_2F 液に浸漬する

ことにより、前記貫通ビット27を埋め込み酸化膜に転写し、これにより貫通ビット27が顕在化された貫通ビット28となる。この評価により、SOI層に貫通ビット28が存在することを確認される。

【0012】これは、CZ法による単結晶育成時に形成された結晶欠陥（Grown-in欠陥）で、内壁に酸化膜が形成された0.1 μ m程度の空洞であることが報告されている。現状においては、この結晶欠陥をCZ法でのシリコン単結晶引き上げ段階でフリーにすることは困難である。

【0013】このため、特開平7-66376号公報に記載されているように、研磨後、高温で熱処理する方法が知られている。

【0014】

【発明が解決しようとする課題】しかし、SOI基板の場合は、埋め込み酸化膜を通して基盤側に金属をゲタリングすることは難しい。すなわち、SOI基板の形成においては、SOI層を汚染させないことが重要であるが、基板表面を鏡面研磨した後、酸素雰囲気下で高温熱処理を行うと、炉中に存在する金属がSOI層中に入り込みSOI層を汚染する。SOI基板の場合は、前述のように埋め込み酸化膜を通して金属汚染物質をゲタリングすることが困難であるという問題がある。

【0015】また、研磨後、不活性ガス雰囲気下で熱処理を行うと、炉内に微量に存在する水分によって鏡面が粗れるため、再度研磨が必要があり、このため製造コストの高騰を招くという問題があった。

【0016】また、前記第1及び第2の半導体ウエーハは、鏡面研磨によってウエーハ周辺にダレが発生し、このダレによる未接合部を除去するために研削・エッチング等の除去工程が必要であり、製造工程が煩雑であった。

【0017】そこで、本発明は、第1及び第2の半導体ウエーハをSOI層を介在させて接合し、この接合半導体ウエーハの活性層側を平面研削した後に、高温熱処理を行い、その後、鏡面研磨を行うことによって、製造工程の簡易化によるコスト低減と、SOI層に介在するGrown-in欠陥及び金属汚染を低減したSOI基板及びその製造方法を提供することを目指す。

【0018】

【課題を解決するための手段】本願第1請求項に記載された発明は、少なくとも主面が鏡面研磨された第1の半導体ウエーハと第2の半導体ウエーハを接合して形成されるSOI基板の製造方法において、前記第1の半導体ウエーハと第2の半導体ウエーハのうち、少なくとも一方の半導体ウエーハの主面に誘電体層を形成する工程と、前記第1及び第2の主面同士を密着した後、前記第1の半導体ウエーハを裏面より、平面研削を行って薄膜化する工程と、熱処理工程と、その後、更に薄膜化する工程とを備えた構成のSOI基板の製造方法であ

る。

【0019】このように、平面研削後に熱処理が施されることにより、前記平面研削によって表面に加工歪層が形成される。また、平面研削後の熱処理によって、転位層が形成され、この転位層に前記加工歪層に残存していた金属又は熱処理時に炉中で混入した金属がゲタリングするため、SOI層の金属汚染を低減することができる。

【0020】また、第1及び第2の半導体ウエーハを接合した際に周囲に生じる未接合部位が薄膜化された後に熱処理が施されることになり、薄膜化された未接合部位が容易に支持側半導体ウエーハに接着するため、未接合部位の割れによるパーティクルの発生を防止し、後の研磨工程においてパーティクルによる傷の発生を防止することができ、良品を得る率を向上することができる。

【0021】また、熱処理後に鏡面研磨を行うため、熱処理による面粗れの心配がなくなる。

【0022】本願第2請求項に記載した発明は、前記請求項1記載の発明において、前記熱処理工程は、1000℃以上1380℃以下の熱処理を行う構成のSOI基板の製造方法である。

【0023】CZで引き上げたシリコン単結晶には、単結晶育成時に形成される結晶欠陥（Grown-in欠陥）、すなわち、前述した深さが0.1 μ m程度であり、内部が空洞の内壁に酸化膜が形成されている結晶欠陥、その他酸素析出核も存在する。ここで、1100℃以上、非酸化性雰囲気下で熱処理を行えば、SOI層の空洞の内壁酸化膜が溶解し、加工歪層、転位層により格子間シリコンが供給され、表面に加工歪層、転位層がない場合に比べて容易に空洞を埋めることができ、結晶欠陥のないSOI層を得ることができる。

【0024】本願第3請求項に記載した発明は、前記平面研削前に熱処理を行う工程を備えたSOI基板の製造方法である。

【0025】このように、平面研削前に熱処理を行うことにより、接着強度を強くすることができ、平面研削時の割れ等を防止することができる。

【0026】本願第4請求項に記載した発明は、少なくとも主面が鏡面研磨された第1の半導体ウエーハと第2の半導体ウエーハが接合されて形成されたSOI基板において、前記第1の半導体ウエーハと第2の半導体ウエーハが接合されて形成されたSOI層が、微小空洞の不存在層又は酸化物の不存在層である構成のSOI基板である。

【0027】このように、本発明のSOI層が、微小空洞の不存在層又は酸化物の不存在層であるSOI基板を得ることにより、金属汚染のないSOI基板を得ることができる。

【0028】このように、本発明のSOI基板及びその製造方法によれば、簡易な製造工程によって、また、製

造工程を削減することにより、低コストで、SOI層に結晶欠陥が無く、また、金属汚染の無い、良品のSOI基板を得ることができる。

【0029】

【発明の実施の形態】以下、本発明に係るSOI基板及びその製造方法について、図1の製造工程を示す断面図に基づいて説明する。

【0030】先ず、図1(a)に示すように、少なくとも片面が鏡面研磨された第1の半導体ウエーハ1及び第2の半導体ウエーハ2を準備する。本例において、第1の半導体ウエーハは、結晶面(100)、P型、比抵抗 $5\Omega\cdot\text{cm}$ 、8インチの半導体ウエーハを用いた。尚、例えば、第2の半導体ウエーハ2の裏面に酸化膜またはCVD酸化膜を形成し、後にこの酸化膜を除去する工程を入れることにより、表面傷の発生防止及び反り低減をすることが可能である。

【0031】次に、図1(b)に示すように、酸化雰囲気(酸素又は水蒸気を含む雰囲気)中 500°C 以上、例えば、 1100°C で熱処理を行う。この熱処理によって、第1の半導体ウエーハ表面に100オングストローム以上、例えば、2000オングストローム程度の酸化膜3が形成される。

【0032】次に、図1(c)に示すように、第1の半導体ウエーハ1及び第2の半導体ウエーハ2の双方の鏡面の洗浄を行い、この洗浄によって、第1及び第2の半導体ウエーハ1、2の双方の少なくとも一方の表面に吸着水分や、シラノール基を形成した後、室温でボイドを発生しない方法で密着させ、接着ウエーハ4を形成する。この場合、第2の半導体ウエーハ2の表面にも酸化膜が形成されてもよい。この第2の半導体ウエーハ2に用いる材質としては、単結晶シリコン、ポリシリコンの他に、石英、水晶、サファイア等の材質を用いることも可能である。また、用いる半導体ウエーハのTTV(ウエーハの仮想平面に対する最大偏位)は、小さい方が好ましく、例えば、 $1\mu\text{m}$ 以下であるウエーハが最適である。なお、両面研磨機により加工を行うことにより、TTVを小さくすることが可能であるため、両面研磨した半導体ウエーハの用いることも効果的である。

【0033】次に、図1(d)に示すように、接着された第1の半導体ウエーハ1の裏面に、SOI層が $50\mu\text{m}$ となる程度に平面研削を行う。この平面研削によって、接着された第1の半導体ウエーハ1の裏面に加工歪層4が形成される。本例の場合は、SOI層を $50\mu\text{m}$ 程度となるように研削を行ったが、平面研削による加工の歪や、後工程の熱処理温度等を鑑みて、SOI層のGrown-in欠陥が消滅する程度に、平面研削の程度は適宜設定する。

【0034】前記平面研削後、SC1洗浄、HF洗浄、SC2洗浄、NaOH洗浄、KOH洗浄、超音波洗浄、HF及び硝酸混合液等を組み合わせて洗浄し、加工歪層

を消滅する。

【0035】次に、図1(e)に示すように、貼り合わせ基板を 1000°C 以上のアルゴン雰囲気下、例えば、 1300°C で1時間の熱処理を行う。このときのガス雰囲気は、アルゴンガス雰囲気以外に、不活性ガス雰囲気、水素等の還元性ガス雰囲気、窒素等の窒素雰囲気いずれの雰囲気で行ってもよい。

【0036】この熱処理により接着強度が増す。また、接着ウエーハ4の周辺部分の未接着部分は、前記平面研削により、未接着部位が薄くなっているため、この未接着部位が、容易に支持側ウエーハに接着する。このため、後の研磨工程において、未接着部が剥がれて、パーティクルとなり、このパーティクルによって生じる研磨面の傷の発生が防止される。

【0037】また、未接着部位が容易に支持側となる第2の半導体ウエーハ2に接着するため、従来必要とされていた未接着部除去のための面取り、エッチングを省略することができ、製造工程を簡易化し、コスト低減を図ることができる。また、面取り、エッチング工程の省略により、パーティクル等によって発生していた面取り部の傷の発生も防止できる。

【0038】更に、熱処理を施すことにより、加工歪層、転位層により格子間シリコンが供給され、SOI層中に存在していたGrown-in欠陥が消滅する。

【0039】また、熱処理前に平面研削を行うことにより、第1の半導体ウエーハ1の裏面に加工歪層5が形成され、更に、その後の熱処理により図示を省略した転位層が形成されるため、前記加工歪層中に存在する金属汚染物質又は熱処理時に炉内から侵入してくる金属汚染物質が、この転位層にゲッターリングされ、これらの転位層及び加工歪層が、後述する鏡面研磨によって、金属汚染のないSOI層を得ることができる。

【0040】そして、図1(f)に示すように、第1の半導体ウエーハを裏面に前記、SOI層厚が $3\pm 1\mu\text{m}$ の薄膜SOI基板を形成する。

【0041】このように、熱処理工程後に、鏡面研磨を行うため、熱処理による表面おれの問題を回避して、表面にダメージ層のない薄膜SOI基板6を形成することができる。なお、本例の場合は、周辺未接着部の剥がれが問題とならないため、周辺未接着部を研削・エッチングで除去する必要はないが、研磨の前工程として、平面研削や、ウエーハエッチング等の加工工程を挿入することも可能である。

【0042】最後に、図1(g)に示すように、SOI層のPAC加工・タッチボリッシュを行い、SOI層厚が $0.1\mu\text{m}\pm 10\%$ の超薄膜SOI基板7が形成される。更に、この後、犠牲酸化を行うことにより、SOI層厚の調整が可能となる。

【0043】このように形成された、SOI基板7のSOI層の評価を前述した方法で行ったところ、結晶欠陥

フリー及びビットフリーが達成されていることが確認できた。

【0044】また、SOI層中の金属汚染の評価を他の方法で行ったところ、本例の方法によって製造された超薄膜SOI基板のSOI層中の金属汚染は、通常の方法によって形成されたSOI層中の金属汚染と同レベルであることが確認された。

【0045】

【発明の効果】以上説明したように、本発明は、少なくとも主面が鏡面研磨された第1の半導体ウエーハと第2の半導体ウエーハを接着して形成されるSOI基板の製造方法において、前記第1の半導体ウエーハと第2の半導体ウエーハのうち、少なくとも一方の半導体ウエーハの主面に酸化膜を形成する工程と、前記第1及び第2の主面同士を密着した後、前記第1の半導体ウエーハを裏面側より、平面研削を行って薄膜化する工程と、熱処理工程と、その後更に薄膜化する工程とを備えた構成のSOI基板の製造方法である。

【0046】このように、平面研削後に熱処理が施されることにより、前記平面研削によって表面に加工歪層が形成される。また、平面研削後の熱処理によって、転位層が形成され、この転位層に前記加工歪層に残存していた金属又は熱処理時に炉中で混入した金属がゲッターリングするため、SOI層の金属汚染を低減することができる。

【0047】また、第1及び第2の半導体ウエーハを接着した際に周囲に生じる未接着部位が薄膜化された後に熱処理が施されることになり、薄膜化された未接着部位が容易に支持側半導体ウエーハに接着するため、未接着部位の剥がれによるパーティクルの発生を防止し、後の研磨工程においてパーティクルによる傷の発生を防止することができ、良品を得る率を向上することができる。

【0048】また、熱処理後に鏡面研磨を行うため、熱処理による面粗れの心配がなくなる。

【0049】更に、前記熱処理工程は、1000℃以上1380℃以下の温度で行うことにより、SOI層の空洞の内壁酸化膜が溶解し、加工歪層、転位層により格子間シリコンが供給され、表面に加工歪層、転位層がない場合に比べて容易に空洞を埋めることができ、結晶欠陥のないSOI層を得ることができる。

【0050】更に、本発明は、少なくとも主面が鏡面研

磨された第1の半導体ウエーハと第2の半導体ウエーハが接着して形成されるSOI基板において、前記第1の半導体ウエーハと第2の半導体ウエーハが接着されて形成されたSOI層が、微小空洞の不存在層又は酸化物の不存在層である構成のSOI基板である。

【0051】このように、SOI層が、微小空洞の不存在層又は酸化物の不存在層であるSOI基板を得ることにより、金属汚染のないSOI基板を得ることができる。

【0052】本発明のSOI基板及びその製造方法によれば、簡易な製造工程によって、また、製造工程を削減することにより、低コストで、SOI層に結晶欠陥が無く、また、金属汚染のない、良品のSOI基板を得ることができる。

【図面の簡単な説明】

【図1】本発明に係る貼り合わせSOI基板の製造方法を示す工程図である。

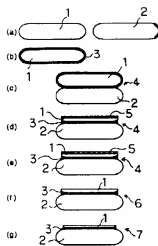
【図2】従来の貼り合わせ法によるSOI基板の製造工程を示す断面図である。

【図3】従来の製造方法で製造した超薄膜SOI基板の結晶欠陥の評価方法を示す断面図である。

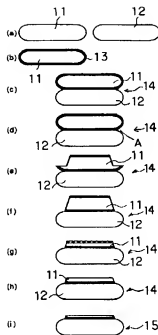
【符号の説明】

- | | |
|----|------------|
| 1 | 第1の半導体ウエーハ |
| 2 | 第2の半導体ウエーハ |
| 3 | 酸化膜 |
| 4 | 接着ウエーハ |
| 5 | 加工歪層 |
| 6 | 薄膜SOI基板 |
| 7 | 超薄膜SOI基板 |
| 11 | 第1の半導体ウエーハ |
| 12 | 第2の半導体ウエーハ |
| 13 | 酸化膜 |
| 14 | 接着ウエーハ |
| 15 | 超薄膜SOI基板 |
| 22 | 第1の半導体ウエーハ |
| 23 | 第2の半導体ウエーハ |
| 25 | 酸化膜 |
| 26 | 結晶欠陥 |
| 27 | 貫通ビット |
| 28 | 貫通ビット |
| A | 未接着部 |

【図1】



【図2】



【図3】

